

摘要

本技术说明文档提供关于 CS32F03x 系列 MCU 的电源，启动引导配置，应用注意事项的说明，旨在帮助用户更好地使用 CS32F03x 系列 MCU，进行芯海科技 CS32F03x 系列 MCU 应用产品的设计、开发和调试。

适用范围

类型	适用产品型号或系列	说明
MCU	CS32F03x 系列 MCU	

版本

历史版本	修改内容	日期
V1.0	初版生成	2023-04-14

目 录

1 电源	4
1.1 电源方案.....	4
1.2 复位和低电压检测（LVD）.....	5
2 启动引导配置	5
3 应用设计注意事项	6
3.1 PCB 板选取.....	6
3.2 元件位置.....	6
3.3 接地和供电.....	6
3.4 退耦电容.....	6
3.5 防干扰措施.....	7
3.6 系统级 ESD 设计原则.....	7
3.7 闲置 I/O 口的处理.....	8

1 电源

1.1 电源方案

电源方案如下图 1 所示，VDD 到 GND 之间加入 1 个 4.7uF 和 1 个 100nF 电容，VDDA 到 GND 之间加入 1 个 1uF 和 1 个 10nF 电容。VDD 的供电电压范围为 2.0V-5.5V，VDDA 的供电电压范围为 2.0V-5.5V。

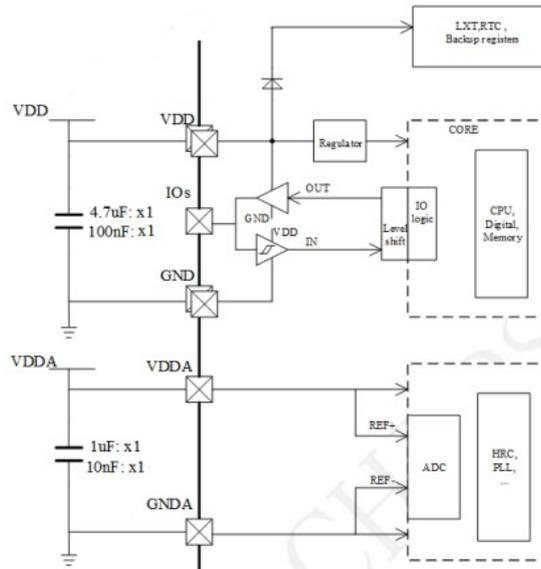


图 1 电源方案

为了提高 ADC 的转换精度、扩展供电的灵活性，模拟域配有独立电源，可以单独滤波并阻挡 PCB 上的噪声。ADC 电源电压从单独的 VDDA 引脚输入，VSSA 引脚提供了独立的电源接地连接。VDDA 供电可大于等于 VDD，这使得 VDD 在保持为低电压的同时仍可为模拟块提供全部性能。当使用单个电源供电时，VDDA 可外部连接至 VDD，为得到低噪声的 VDDA，需通过外部滤波电路。当使用 2 个独立电源给 VDDA 和 VDD 供电且 VDDA 与 VDD 不相等时，VDDA 必须一直大于等于 VDD，且在开机/关机瞬态期间，VDD 电压必须不大于（VDDA 电压+0.4V），如果在某些应用中 VDD 先于 VDDA 上电，可在 VDD 和 VDDA 之间使用外部采用低导通压降的肖特基二极管以确保 VDD 与 VDDA 的压差不超过 0.4V，如下图 2 所示。

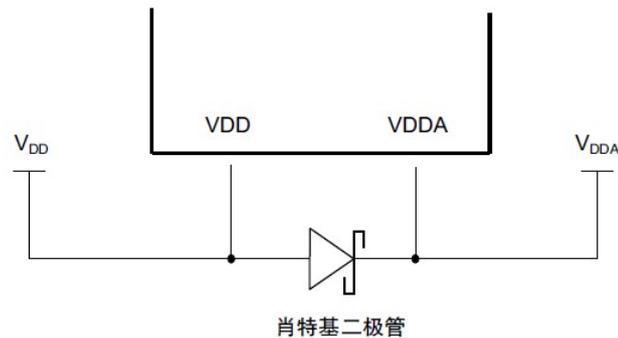


图 2 VDD 与 VDDA 压差限制保护方案

1.2 复位和低电压检测 (LVD)

该芯片包含上电复位和掉电复位电路，他们共同作用构成了一个迟滞复位电路。上电复位模块 POR 监测 VDD 的电压，掉电复位模块监测 VDD 和 VDDA 的电压。此电路始终处于工作状态，可确保器件在电压不低于 2 V 时能够正常工作。当监控的供电电压低于规定阈值 VPOR/VPDR 时，器件处于复位模式。VPOR 的典型值约为 1.92V，而 VPDR 的典型值约为 1.88V，这 2 个阈值差为 40mV。芯片的复位引脚外围必须有一个对地电容，推荐值为 10nF-0.1uF 之间，由于芯片内部有一个上拉电阻，阻值从 30KΩ-55KΩ 之间，故外部的上拉电阻可以省略，如果外部要加上拉电阻，建议选择 10KΩ。

LVD 用于监视 VDD 电源并将其与阈值 VLVD 进行比较。当 VDD 低于 VLVD 或高于 VLVD 阈值时，将产生中断，这时可由中断服务程序完成用户想做的紧急处理事件。LVD 的阈值是可编程控制的，具体请参考该芯片的规格书。

2 启动引导配置

该芯片支持多种启动方式，如下表 1 所示。

表 1 启动模式

BOOT0 管脚	nBOOT1 位	启动位置
0	X	程序存取区
1	1	片内引导程序
1	0	片内 SRAM

BOOT0 脚在任何时候都不能悬空。如果只需要从程序存取区启动，BOOT0 管脚可以直接接 GND。如果需要通过其他芯片的一个 IO 口控制启动引导配置，BOOT0 脚可以直接接至其他芯片的 IO 口来控制，但建议通过串联一个 1K 电阻并对地并联一个 1nF-10nF 的陶瓷

电容，之后连接至该引脚。如果想通过串口烧录程序后让其在正常使用情况下从程序存取区启动，BOOT0 脚必须接一个电阻到 GND，该阻值建议为 $10K\Omega$ ，以保持默认从程序存取区启动。如果芯片附近有较强的电磁干扰，建议在 BOOT0 管脚对 GND 靠近 BOOT0 管脚处并联一个 $1nF-10nF$ 的陶瓷电容。

3 应用设计注意事项

3.1 PCB 板选取

为了提供更好的信号和电源回路，最好使用多层 PCB，一层专用于接地（VSS），另一层专用于 VDD 和 VDDA 供电。它能提供良好的退耦和屏蔽效果。但若出于成本考虑无法使用这种板，应确保接地和供电有良好的回路，详见 3.3 中的要求。

3.2 元件位置

在 PCB 布局阶段，必须对以下重点电路进行 PCB 的优先布局。

- 1) 大电流电路；
- 2) 低电压敏感电路；
- 3) 高速数字芯片电路；
- 4) 根据电路的 EMI 特点分离的电路。这会降低 PCB 上的噪声交叉耦合。

3.3 接地和供电

每个电路模块（时钟、模拟、数字等等）都应单独接地，所有接地返回都应为一个点，特别是高频大电流避免从芯片附件的 GND 经过，以免产生大的地弹，造成芯片工作异常甚至损坏。PCB 走线必须避免出现环路，或使环路有最小面积。供电端应靠近地线连接，以最小化供电环路的面积。这是因为供电环路的行为类似天线，因此它既能向外发射 EMI，也能接收外部的 EMI。所有无元件的 PCB 区域必须用额外的 GND 平面填充，以达到良好的电磁屏蔽效果。

3.4 退耦电容

所有电源输入引脚和接地引脚必须正确连接至电源。这些连接包括焊盘、走线和过孔，都应尽可能低阻。一般来说，可通过加宽走线宽度和多个过孔并联实现，最好在多层 PCB 中使用专用供电层。

VDD 供电引脚推荐使用 $4.7\mu F+100nF$ 陶瓷电容对其中一个 VDD 脚进行退耦，其他 VDD 脚采用 $0.1\mu F$ 电容进行退耦，VDDA 引脚推荐使用 $1\mu F+10nF$ 陶瓷电容进行退耦，并要求这些电容必须紧靠芯片引脚附近放置，供电走线必须先经过退耦电容，再从退耦电容

引出走线到芯片引脚，切忌不要让供电走线先到芯片再到退耦电容。

3.5 防干扰措施

- 1) ADC 采集线必须远离数字信号，有条件的情况下，可采取包地屏蔽处理；
- 2) 晶振周围尽量包地处理，防止晶振对其他敏感线路的影响；
- 3) 该芯片周围不能有较大电流的开关电源功率回路，且功率回路的面积应尽可能小，以避免干扰该芯片内部的敏感模拟电路及关键数字电路。

3.6 系统级 ESD 设计原则

- 1) 芯片的模拟地和数字地引脚需要在最靠近芯片底部的 PCB 表层铜箔进行汇集连接；
- 2) 退耦电容与芯片的电源脚，芯片的 GND 脚，以及他们之间的连线构成的环路应尽量小；
- 3) 对于有较强 ESD 引入路径的连接器控制输入信号口在靠近连接器端对地接 10nF-100nF 陶瓷电容，之后再串联 100 欧姆-1K 欧姆的电阻，最后在芯片输入引脚端对地接 10nF-100nF 电容，这些电容的对地过孔须保证有 2 个或以上，如下图 3 所示。

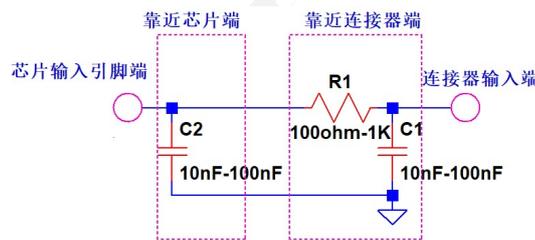


图 3 ESD 引入路径上的芯片输入端处理

- 4) 对于有较强 ESD 引入路径的连接器控制输出信号口在靠近连接器端对地接 10nF-100nF 陶瓷电容，之后在靠近芯片输出引脚端串联 100 欧姆-1K 欧姆的电阻，这些电容的对地过孔须保证有 2 个或以上，如下图 4 所示。

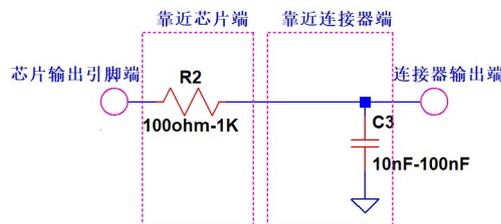


图 4 ESD 引入路径上的芯片输出端处理

- 5) 对于有较强 ESD 引入路径的连接器通讯输入输出信号口，建议采用将保护通讯回流的 GND 在内的所有通讯线束同方向地在磁环上绕 2-3 圈后再接入到连接器，或者在连接器接入 PCB 板后，靠近连接器端采用通讯专用的多线共模电感接入从连接器过来的每根通讯

线（包括回流用的 GND 线）。

- 6) PCB 板 GND 平面的边缘尽量每隔 2.5 厘米采用过孔连接顶层和底层。
- 7) 系统供电口采用双绞线方式进入，并尽量远离芯片的晶振电路部分。
- 8) 应杜绝 PCB 中的孤铜的出现，孤铜应该删除。

3.7 闲置 I/O 口的处理

所有 MCU 都为多应用而设计，通常一个应用不会使用 100%MCU 资源。为增加 EMC 性能、避免额外的功耗，未使用的时钟口、比较器输入输出口或 GPIO 口不应浮空。I/O 口应连至固定的低或高逻辑电平，其方法是在未使用的 I/O 引脚上使用外部或内部上拉或下拉电阻，或用软件将 I/O 口配置为输出模式。

免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，芯海科技不对信息的准确性、真实性做任何保证。

芯海科技不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他芯海科技提案、规格书或样品在他处提到的任何保证。

芯海科技不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2023 芯海科技（深圳）股份有限公司，保留所有权利。



芯海科技
CHIPSEA

股票代码:688595